

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 03263388 A

(43) Date of publication of application: 22 . 11 . 91

(51) Int. Cl

H01S 3/18  
G02F 1/025

(21) Application number: 02062981

(71) Applicant: NEC CORP

(22) Date of filing: 13 . 03 . 90

(72) Inventor: TERAKADO TOMOJI  
AJISAWA AKIRA  
YAMAGUCHI MASAYUKI  
KOMATSU YOSHIRO

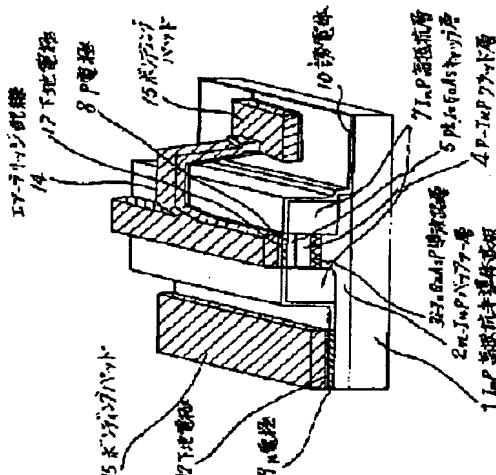
(54) OPTICAL SEMICONDUCTOR ELEMENT AND  
MANUFACTURE THEREOF

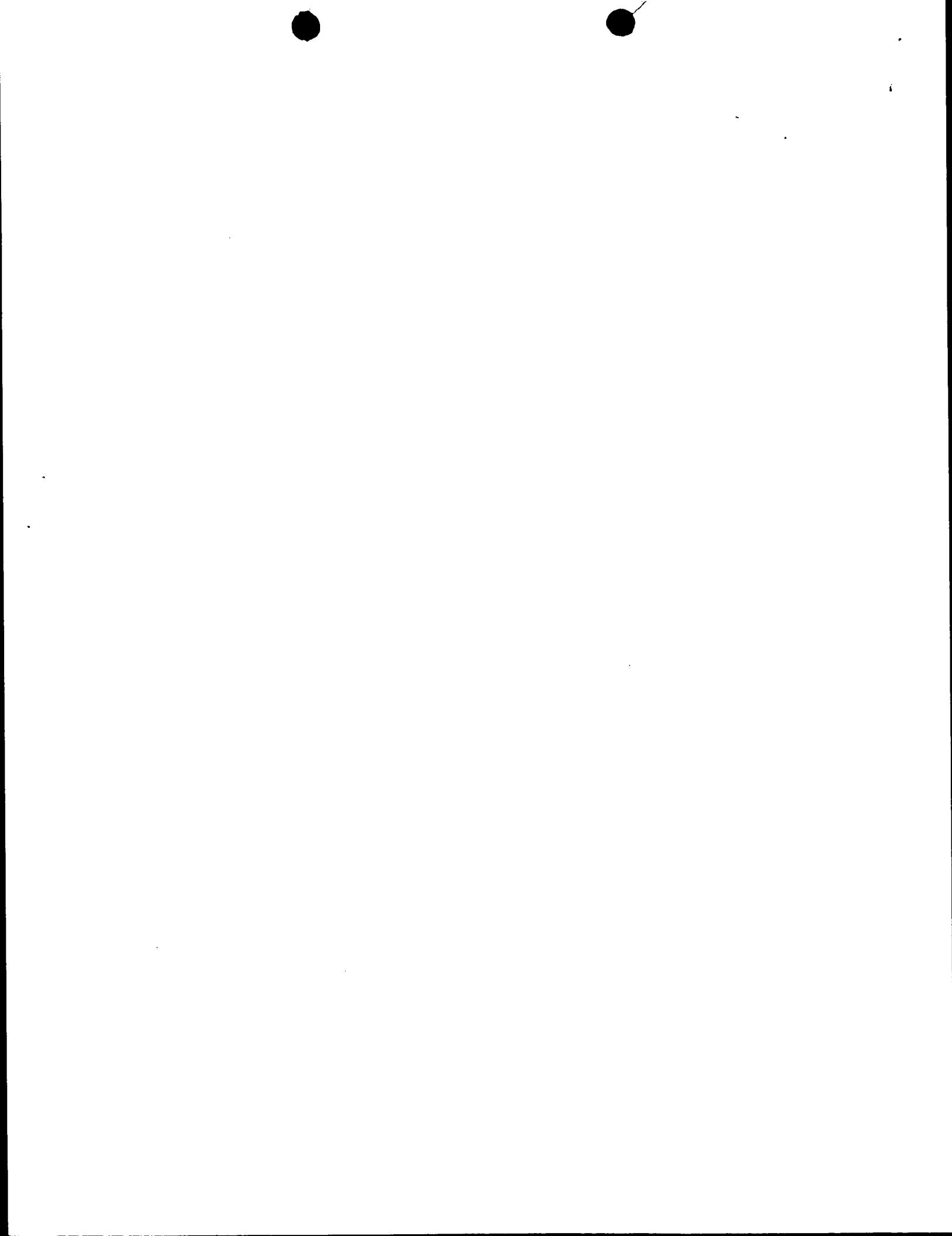
optical modulator.

(57) Abstract:

PURPOSE: To lower an element capacity and to execute an ultrahigh-speed operation by a method wherein a high-resistance substrate is used, a semiconductor multilayer structure including an active layer is provided on it, and a wiring which connects an electrode formed at the upper part of the semiconductor multilayer structure to a bonding pad formed on the high-resistance semiconductor substrate is formed into an air-bridge structure.

CONSTITUTION: An optical modulator is formed so as to have a structure in which both sides of a mesa stripe 6 composed of a multilayer structure by an InP buffer layer 2, an undoped InGaAsP waveguide layer 3, a p-InP clad layer 4 and a p-InGaAs cap layer 5 are filled into Fe-doped InP high-resistance layers 7. Bonding pads 15 composed of a metal are formed selectively on one main face of a high-resistance semiconductor substrate 1 composed of Fe-doped InP; an interconnection 14 which connects the optical modulator to the bonding pad 15 has an air-bridge structure on a semiconductor layer of the





⑨ 日本国特許庁 (JP) ⑩ 特許出願公開  
 ⑪ 公開特許公報 (A) 平3-263388

⑤Int. Cl.<sup>5</sup>H 01 S 3/18  
G 02 F 1/025

識別記号

府内整理番号

⑥公開 平成3年(1991)11月22日

6940-4M  
7724-2K

審査請求 未請求 請求項の数 2 (全6頁)

## ⑦発明の名称 光半導体素子及びその製造方法

⑧特 願 平2-62981

⑨出 願 平2(1990)3月13日

⑩発明者	寺 門 知 二	東京都港区芝5丁目33番1号	日本電気株式会社内
⑪発明者	味 澤 昭	東京都港区芝5丁目33番1号	日本電気株式会社内
⑫発明者	山 口 昌 幸	東京都港区芝5丁目33番1号	日本電気株式会社内
⑬発明者	小 松 啓 郎	東京都港区芝5丁目33番1号	日本電気株式会社内
⑭出願人	日本電気株式会社	東京都港区芝5丁目7番1号	
⑮代理人	弁理士 内 原 晋		

## 明細書

## 発明の名称

光半導体素子及びその製造方法

## 特許請求の範囲

1. 能動層を含む半導体多層構造と、金属よりなるポンディングパットとが、高抵抗半導体基板の一主面上に選択的に形成され、且つ、前記半導体多層構造の上部にある電極と前記ポンディングパッドを結ぶ金属よりなる配線が、エアーブリッジ構造であることを特徴とする光半導体素子。

2. 高抵抗半導体基板上に能動層を含む半導体多層構造を形成する結晶成長工程と、前記半導体多層構造の一部をエッティングして高抵抗半導体基板の一部表面を露出する工程と、半導体多層構造の電極形成部を除いて半導体多層構造を第1の絶縁層で覆う工程と、全体を金属層で覆う工程と、前記金属層の一部を第2の絶縁層で覆う工程と、第2の絶縁層で覆われないで露出している金属層

表面に金属配線を施す工程と、前記第2の絶縁層、金属配線が施されなかった領域の金属層、第1の絶縁層を順次除去する工程とを少くとも備えたことを特徴とする光半導体素子の製造方法。

## 発明の詳細な説明

## 〔産業上の利用分野〕

本発明は、将来の超高速光通信システム等に用いられる発光素子、光変調器、光検出器等の光半導体素子に関する。

## 〔従来の技術〕

光半導体素子、例えば、光導波路に電界を印加することにより導波路の光損失が変化する効果(フランツ・ケルデッシュ効果、又は量子閉じ込めシユタルク効果)を利用した半導体光変調器は、超高速・低電圧動作が可能で、小型化さらには半導体レーザなどの光半導体素子との集積化が容易であるため、将来の超高速光通信システムに用いられるキーデバイスとして注目されている。この様な光変調器の変調帯域周波数△fは、素子容量

$C$ によりほぼ決定され、 $\Delta f = 1 / (\pi C R)$ で表される。

また、光変調器の素子容量は、接合容量 $C_J$ とポンディングパッド部でのパッド容量 $C_p$ と配線容量 $C_L$ の和で表される。これらの中で、接合容量 $C_J$ は光変調器の導波路の特性にかかる本質的なものであるが、パッド容量 $C_p$ と配線容量 $C_L$ は寄生容量と呼ばれ、光変調器の帯域を制限する要因となる。そのため、光変調器の高速化に関しては光導波路構造の最適化と共に、寄生容量の低減化が重要である。

光変調器の従来例として、脇田らの試作した  $InGaAlAs / InAlAs MQW$  構造を用いた  $20\text{GHz}$  光変調器がある(1989年電子情報通信学会春季全国大会 C-474)。これは半導体の PIN 構造への逆バイアスによる電界で生ずるエキシトンピークのシフトを利用した吸収型の光変調器であり、 $n - InP$  基板上に $n - InAlAs$  クラッド層、 $i - MQW$  ガイド層、 $p - InAlAs$  クラッド層を MBE 法により作

-3-

PDB-5)。これは $n - InP$  基板上に DFB LD とフランツ・ケルディッシュ効果による光の吸収を利用した光変調器を集積したものであり、LD 及び光変調器の光導波路の両側を高抵抗 InP で埋め込んだものである。これも前記の従来例と同様に導電性の基板を用いているため、パッド部での容量が大きく素子容量として  $0.55\text{pF}$ 、変調帯域として  $10\text{GHz}$  程度までしか得られていない。

#### 〔発明が解決しようとする課題〕

本発明の目的は、素子容量を下げるこことにより超高速動作が可能な光半導体素子を提供することにある。

#### 〔課題を解決するための手段〕

本発明は、能動層を含む半導体多層構造と、金属よりなるポンディングパットとが、高抵抗半導体基板の一主面上に選択的に形成され、且つ、前記半導体多層構造の上部にある電極と前記ポンディングパッドを結ぶ金属よりなる配線が、エアーブリッジ構造であることを特徴とする光半導体素

-5-

製したものである。この光変調器の場合、超高速変調を狙っているためにパッド部の下をポリイミドで埋め込み低容量化を図り、その結果、素子容量約  $0.2\text{pF}$  と非常に低い値を得ている。しかし、この場合でも光変調器に本質的な接合容量 $C_J$ は全体の半分以下であり、残りは $n - InP$  基板と配線電極間に生ずる本来不要な配線容量とパッド容量である。またこの光変調器の素子長は約  $100\text{μm}$  であり、スイッチの特性から考えて、これ以上の接合容量の大軒な低減は困難であり、更に $n - InP$  基板のような導電性の基板を用いているために配線容量、パッド容量をこれ以上下げることもまた困難である。従って従来の構造の光変調器では、変調帯域は高々  $20\sim 25\text{GHz}$  であり、将来の超高速光変調器(帯域  $\geq 50\text{GHz}$ )への適用は困難であった。

また、光変調器と光源である半導体レーザ(LD)を集積した素子の例として、そう田らが試作した光変調器 / DFB レーザ集積化光源がある(1990C'89 テクニカルダイジェスト 20

-4-

子である。

また、本発明の光半導体素子を製造する方法は、高抵抗半導体基板上に能動層を含む半導体多層構造を形成する結晶成長工程と、前記半導体多層構造の一部をエッチングして高抵抗半導体基板の一部表面を露出する工程と、半導体多層構造の電極形成部を除いて半導体多層構造を第1の絶縁層で覆う工程と、全体を金属層で覆う工程と、前記金属層の一部を第2の絶縁層で覆う工程と、第2の絶縁層で覆われないで露出している金属層表面に金属配線を施す工程と、前記第2の絶縁層、金属配線が施されなかった領域の金属層、第1の絶縁層を順次除去する工程とを少くとも備えたことを特徴とする構成になっている。

#### 〔作用〕

本発明は高抵抗基板を用い、この上に能動層を含む半導体多層構造を備え、半導体多層構造上部に形成した電極と高抵抗半導体基板上に形成したポンディングパッドを結ぶ配線をエアーブリッジ構造とすることにより、寄生容量を極力下げ、素

-6-

子全体の容量の低減化を図り、素子の高速化を可能としたものである。

一般に容量  $C$  は  $C = \epsilon_s \epsilon_0 S / d$  で表すことが出来る。ここで  $\epsilon_s$  は比誘電率、 $\epsilon_0$  は真空の誘電率、 $S$  は電極面積（または  $p-n$  接合面積）、 $d$  は電極間距離（または空乏層厚）である。従来例の項でも述べたが、素子全体の容量  $C_s$  は接合容量  $C_J$ 、配線容量  $C_L$ 、パッド容量  $C_p$  により、 $C_s = C_J + C_L + C_p$  で表される。接合容量  $C_J$  は変調器の静特性に影響を及ぼすため、それを劣化させない程度に設計し、導波路幅  $2 \mu\text{m}$ 、導波路長  $100 \mu\text{m}$ 、空乏層厚  $0.3 \mu\text{m}$  とすると接合容量  $C_J$  は約  $74 \text{ aF}$  となる。残りの配線容量  $C_L$ 、パッド容量  $C_p$  は変調器の広帯域化のためには低減するのが望ましい。本発明によれば、高抵抗基板をもちいることにより、電極間距離  $d$  を約  $100 \mu\text{m}$  程度とすることができ、パッド容量  $C_p$  の低減ができ、また、エアーブリッジ配線を用い、 $\epsilon_s = 1$  とすることで配線容量  $C_L$  の低減が出来るので、従来の導電性基板を用い、

-7-

パッド部の下をポリイミドなどの誘電体で埋め込んだ構造 ( $d = 2 \sim 3 \mu\text{m}$ 、 $\epsilon_s \sim 3$ ) に比べ約  $1/10$ 、パッド部の下を半導体の高抵抗層で埋め込んだ構造 ( $d = 2 \sim 3 \mu\text{m}$ 、 $\epsilon_s \sim 1.2$ ) に比べて約  $1/30$  程度まで、パッド容量と配線容量の和 ( $C_p + C_L$ ) を低減することができる。その結果、素子全体の容量  $C_s$  はほぼ接合容量  $C_J$  によって決まり、変調器及び光検出器の広帯域化を図ることが出来る。

## 〔実施例〕

次に本発明の実施例について、図面を参照して説明する。

第1図は、本発明の第1の実施例の主要部を示す光変調器の斜視図である。

第2図に第1の実施例の製造方法を示す製造工程図を示す。この実施例は、 $\text{InP}$  パッファー層2、ノンドープ $\text{InGaAsP}$ 導波路層3、 $p-\text{InP}$  クラッド層4、 $p-\text{InGaAs}$ キャップ層5の多層構造からなるメサストライプ6の両側が $\text{Fe}$ ドープ $\text{InP}$ 高抵抗層7により埋め込まれ

-8-

た構造を有する光変調器と、金属からなるポンディングパッド15が、 $\text{Fe}$ ドープの $\text{InP}$ からなる高抵抗半導体基板1の一主面上に選択的に形成され、且つ光変調器とポンディングパッド15を結ぶ配線14が光変調器の半導体層上でエアーブリッジ構造を有するものである。

第1図に示した光変調器の製造方法を第2図に基づいて簡単に説明する。 $\text{Fe}$ ドープ $\text{InP}$ よりなる高抵抗半導体基板1上に $n^+ - \text{InP}$ よりなるバッファー層2（厚さ  $2.0 \mu\text{m}$ 、キャリア濃度  $5 \times 10^{17} \text{ cm}^{-3}$ ）、ノンドープ $\text{InGaAsP}$ （バンドギャップ波長  $1.475 \mu\text{m}$ ）よりなる導波路層3（厚さ  $0.3 \mu\text{m}$ ）、 $p^+ - \text{InP}$ よりなるクラッド層4（厚さ  $2.0 \mu\text{m}$ 、キャリア濃度  $5 \times 10^{17} \text{ cm}^{-3}$ ）、 $p^+ - \text{InGaAs}$ よりなるキャップ層5（厚さ  $0.3 \mu\text{m}$ 、キャリア濃度  $1 \times 10^{19} \text{ cm}^{-3}$ ）を有機金属気相成長法（MOVPE法）により順次成長する。次に、通常のフォトリソグラフィー法をもちいて幅  $2 \mu\text{m}$ のストライプ状の $\text{SiO}_2$ マスクを形成した後、この

$\text{SiO}_2$ マスクを用いてバッファー層2に至るまでエッチングをおこないメサストライプ6を形成する。次に、この $\text{SiO}_2$ マスクを選択成長用のマスクとして用い、MOVPE法でメサストライプの両側を $\text{Fe}$ ドープ $\text{InP}$ よりなる高抵抗層7で選択的に埋め込む。さらに、通常のフォトリソグラフィー法をもちいて、メサストライプを含む幅  $1.0 \mu\text{m}$ を残し選択的にエッチングをおこない、一方は、バッファー層2、他方は高抵抗基板1を露出させる。その後、キャップ層5上に $\text{AuZn}$ からなるp電極8、バッファー層2上に $\text{AuGeNi}$ からなるn電極9を形成する（第2図(a)）。次に、エアーブリッジ配線の空隙形成のために厚さ  $2 \mu\text{m}$ の下層レジスト11をバターニング後、選択金メッキの下地電極12となる $\text{Ti/Au}$ （各々  $500 \text{ A} / 500 \text{ A}$ ）を真空蒸着する。更に下地電極12の上部に上層レジスト13をバターニングし、この上層レジスト13をマスクに用いて厚さ  $1 \mu\text{m}$ の選択金メッキを行う（第2図(b)）。その後、 $\text{O}_2$ プラズマにより

-9-

-10-

上層レジスト 1.3 を除去し、ドライエッチングにより不用な下地電極 1.2 を除去し、O<sub>2</sub> プラズマにより下層レジスト 1.1 を除去することによって、エアーブリッジ配線 1.4 およびボンディングパッド 1.5 が形成される(第2図(c))。その後、基板は研磨により約100μmの厚さとし、素子長はへき開により100μmとした。なお、p電極の面積はストライプ部で100μm×2μm、パッド部で50μm×50μm、配線は幅10μm・長さ50μm・エアーブリッジの高さ2μmである。

次にこの光変調器の動作について説明する。最初に静特性について述べる。入射光の波長は光通信用の1.55μmとする。p側電極8とn側電極9の間に逆バイアス電圧が印加されていないときは、入射光はそのまま出射光として出力される。この時の伝播損失は、素子長100μm、入射光と導波路のバンドギャップとの波長差が75nmであることにより、約1.5dBと小さな値である。

- 1.1 -

第3図は本発明による光検出器の実施例を示す図である。本実施例に於いては、光吸収層1.6がInPと格子整合するInGaAsであることを除いては第1図に示した光変調器の実施例と構造及び製造方法は同じであるので、ここでは構造及び製造方法に関する詳細な説明は省略する。この光検出器においては、波長1.55μmの入射光に対してInGaAs光吸収層1.6のバンドギャップは1.67μmと入射光の波長より長波長側であるので、光吸収層1.6において入射光は効率的に吸収される。吸収された光によるフォトカレントをp電極8、n電極9から検出することで、第3図に示した素子は導波路型の光検出器として機能する。この場合も、素子長及びInGaAs光吸収層1.6の厚さが第1の実施例と同程度であれば、素子の容量は0.1pF以下とすることができ、本発明により超広帯域の光検出器が得られる。

上述の実施例においては寸法例も示したが、結晶成長・電極形成の様子は成長法・条件などで大

p電極8とn電極9の間に逆バイアス電圧が印加されるとフランツ・ケルディッシュ効果により入射光はInGaAs導波路層3を伝播中に吸収を受け出射光は出力されない。この時の消光比は電圧3Vで10dB以上と良好な特性が得られる。

次に変調特性について述べる。作用の項でも述べた様に、電界効果を用いた光変調器の帯域は素子の容量Cによりほぼ決定され $\Delta f = 1 / (\pi / CR)$ で表される。実施例の場合、半導体の非誘電率を12.5として計算すると、接合容量C<sub>1</sub>は7.4fF、配線容量C<sub>2</sub>及びパッド容量C<sub>3</sub>は3fFであり、素子全体の容量は7.7fFである。従って、本発明による高抵抗基板の使用、エアーブリッジ配線構造を採用することにより、変調速度を決定する素子容量の値を従来に比べ数分の1以下に低減でき、変調帯域として83GHzが得られ、超高速変調が可能な光変調器が得られる。

- 1.2 -

幅に変化するのでそれらと共に適切な寸法を採用すべきことは言うまでもない。また電極金属・配線金属の種類に関して制限はない。光変調器の材料・構造としては、フランツ・ケルディッシュ効果を利用したInGaAsP/InP系ダブルヘテロ構造の半導導波器につき説明したが、これに限定されるものではなく、InGaAs/InAlAs系、GaAs/AlGaAs系の材料、更に量子閉じ込めシユタルク効果を利用した多重量子井戸(MQW)構造の光導波路などを用いてもよい。光半導体素子も光変調器、光検出器に限らず発光ダイオード、半導体レーザ等でもよい。

#### 〔発明の効果〕

以上詳細に説明したように、本発明によれば超高速動作が可能な光半導体素子が得られ、将来的超高速光通信システムの実現に貢献すること大である。

#### 図面の簡単な説明

第1図は本発明の第1の実施例である光変調器

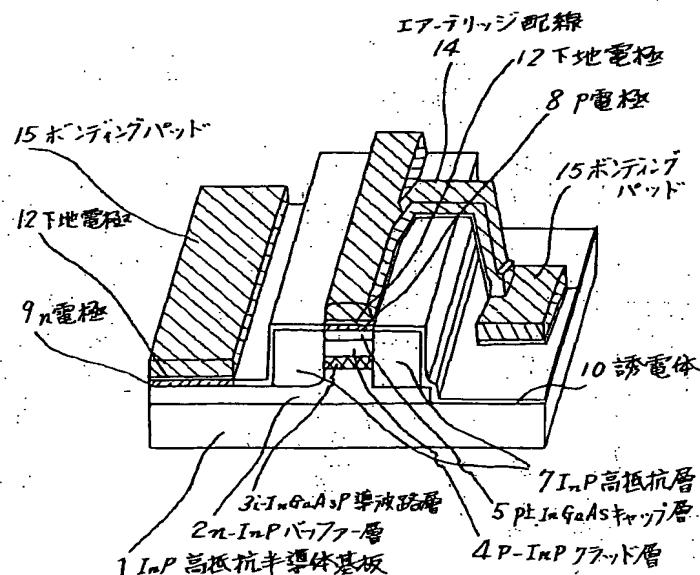
- 1.4 -

の構造図であり、第2図はその製造方法を示す製造工程図である。第3図は本発明の第2の実施例である光検出器の構造図である。

図において、1は高抵抗InP基板、2はn-InPクラッド層、3はi-InGaAsP導波路層、4はp-InPクラッド層、5はp-InGaAsキャップ層、6はメサストライプ、7はInP高抵抗層、8はp電極、9はn電極、10は誘電体、11は下層レジスト、12は下地電極、13は上層レジスト、14はエアーリッジ配線、15はボンディングパッドである。

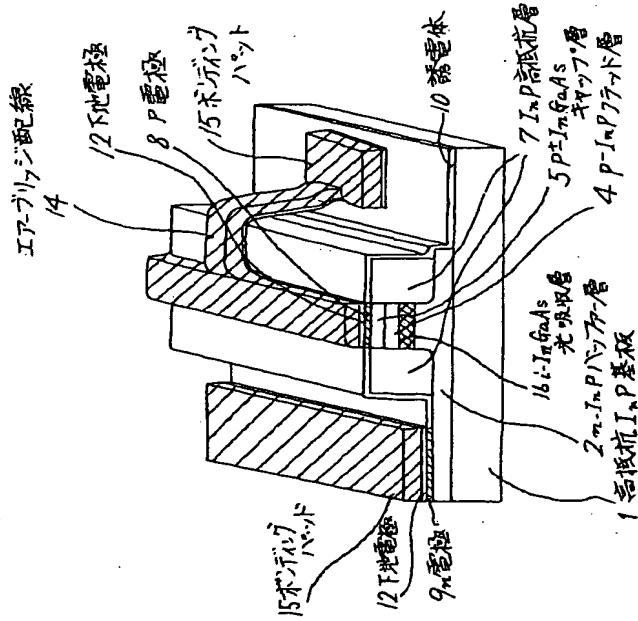
代理人 弁理士 内 原 駿

-15-

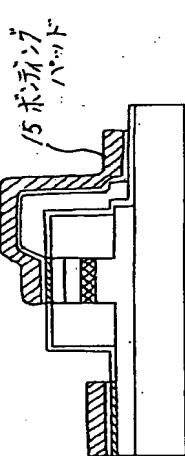


第 1 図

第3図



(c)



第2図

